

文章编号:1007-2780(2009)04-0597-05

基于行列不同插值算法的图像缩放引擎的设计

蔡泽锋, 闫晓晨, 郑学仁

(华南理工大学 电子与信息学院 微电子学系, 广东 广州 510641, E-mail: kczfk@163.com)

摘 要: 为了降低定标器的硬件复杂度并提高液晶显示图像的质量, 提出了一种行列采用不同插值算法的图像缩放引擎设计方法。在论述四点三次卷积插值算法和线性插值算法基础上, 提出了行列不同计算点数的缩放引擎系统架构。在该架构中, 水平缩放采用四点三次卷积插值算法, 而垂直缩放采用优化的两点线性插值算法。相比双三次插值算法的实现, 减少了 9 个乘法器的使用, 明显节省了实现电路的硬件开销。另外, 详细论述了放大单元及相应的滤波器设计, 并将设计结果综合下载到现场可编程门阵列(FPGA)芯片。FPGA 验证结果表明, 该设计切实可行。

关 键 词: 图像缩放; 三次卷积插值; LCD; 定标器

中图分类号: TP391 **文献标识码:** A

1 引 言

液晶显示面板有一个最佳分辨率, 液晶显示器只有在显示与最佳分辨率完全一样的画面时才能达到最好效果。图像缩放引擎就是提供这样的插值过程来解决输入数据源图像分辨率和输出显示图像分辨率不匹配问题^[1]。因此图像缩放引擎是 LCD 显示系统中的重要组成部分, 直接影响着 LCD 的显示效果和质量。

目前应用于图像缩放的算法主要分两大类: 基于边缘的图像缩放算法^[2]和不基于边缘的图像缩放算法^[3]。经前者算法处理后的图像具有很好的视觉效果, 但此类算法电路实现复杂, 数据运算时间长, 占用硬件资源较多, 目前主要应用于医学影像领域; 第二种算法缩放后的图像质量存在不足, 但优点是硬件实现简单, 数据处理时间较短。本设计采用属于第二种算法的一种改进算法。不基于边缘的图像缩放算法包括最近邻域、双线性、Lagrange 插值、三次卷积插值^[4]、B 样条插值^[5]以及 Ferguson 曲面插值等。其中, 最近邻域和双线性的缩放效果不理想; 属于三次插值的 Lagrange 插值和卷积插值具有较好的图像缩放效果, 但是双三次算法硬件电路复杂, 使用的乘法器太多, 并没有被广泛采用。本设计尝试行列插值

采用不同的算法, 即水平插值采用了比较精细的四点三次卷积插值, 垂直方向的插值则采用硬件简单的线性插值, 通过查表方法避免了三次方的运算, 显著减少了硬件开销, 同时在现场可编程门阵列(Field Programmable Gate Array, FPGA)实现^[6,7]中得到了令人满意的图像缩放效果。

2 线性插值和四点三次卷积插值算法

线性插值是一阶插值, 它是对原像素点的 2×2 邻域进行两次水平插值和一次的垂直插值得到一个插值点。以一维为例, 设水平方向两个待插值点为 $f_{i,j}$ 和 $f_{i,j+1}$, 则水平方向的第一次计算为 $F_{h1} = (1 - \Delta x) f_{i,j} + \Delta x f_{i,j+1}$, 其中 Δx 为待插值点到 $f_{i,j}$ 之间的距离。双线性插值使得图像趋向于平滑模糊, 然而一维的双线性插值最多只需要两个乘法器就可以完成。本文经过优化, 使得双线性的实现只需一个乘法器。

卷积插值在数学上可以表示为 $g(x) = \sum x_k u[(x - x_k)/h]$, 其中 $u(s)$ 为插值内核函数, x_k 为原函数的值, h 在实际问题中可归一化为 1。不同的插值算法只是插值内核和选取的点数不同, 四点三次卷积插值就是插值内核的最高次幂为 3 次且每次计算采用 4 个原函数的值。根据插值点与左边最近的原函数值的距离 Δx 就可以通过插值内核

于-1 的负数。也就是说,第 1 个和第 4 个乘法器采用 9 bit×8 bit 有符号乘法器,而第 2 点和第 3 点的乘法器都是无符号的。可以看到,绝对值小于 1 的二进制小数的补数放大 256 倍之后,再与 0~255 之间的二进制整数相乘,最终 4 点数据相加的结果为:高 8 bit 为得数的整数部分,即图像的像素灰度值部分;低 8 bit 为得数的小数部分。

根据累加器溢出信号 rdreq 的控制,数据通过 Data_in 输入端进入滤波器,在寄存器间进行移位。当数据移到 X2 寄存器时,滤波器的运算正式开始,这时系数刚加到乘法器上面进行乘法运算。为了提高运算速度,设计中采用了流水线结构,乘法器采用三级流水线,加法器采用两级流水线。加上移位寄存器的一个延时,数据进入滤波器后要延时 6 个时钟周期才能输出数据。

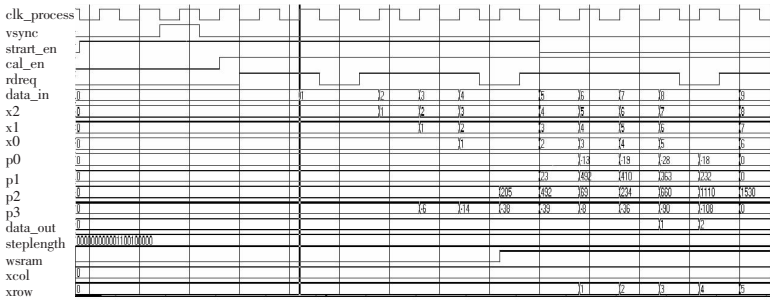


图 4 水平缩放模块时序图

Fig. 4 Horizontal scaling module sequence chart

3.3 垂直缩放模块滤波器的设计

由 Matlab 仿真可知,垂直缩放采用线性算法比采用其它复杂算法的效果只是稍有逊色,但却明显节省了硬件开销。线性算法一般需要有 2 个乘法器,而本文提出了一种简约型线性处理结构,仅需 1 个乘法器。这样整个模块就可以剩下 9 个乘法器,这显然是一个相当有吸引力的设计。

由线性算法知,插值点的像素灰度值由式(3)给出:

$$F = X_1(1 - \Delta x) + X_2\Delta x \tag{3}$$

其中 Δx 是步长,对式(3)加以处理可得如下变形公式:

$$F = X_1 + \Delta x(X_2 - X_1) \tag{4}$$

从式(4)可以看到,2 次乘法运算简约成一次乘法运算,其他的减法运算和加法运算没有改变,因此可以设计适当的控制逻辑来完成上面公式的功能。

垂直缩放的实现电路图如图 5 所示。

从图 5 可以看到,垂直缩放的数据分两路输入,在经过相减运算后与步长累加器的数据进行乘法运算,最后再与延迟了 3 个时钟的数据 1 进行加法运算,最后得到输出值。

4 FPGA 实现及其仿真

本设计采用以 Altera CycloneII EP2C35 FPGA 为核心的应用平台进行静态和动态图像验证。图 6 为灰度图像静态验证,通过 FPGA 自己产生测试帧(800×600),经过图像缩放引擎后输出到液晶屏(SXGA 1 280×1 024^[10])进行显示。所用的液晶显示器型号为 LG 公司的 L1719S,最大物理分辨率为 1 280×1 024。在图 7 的彩色图像动态验

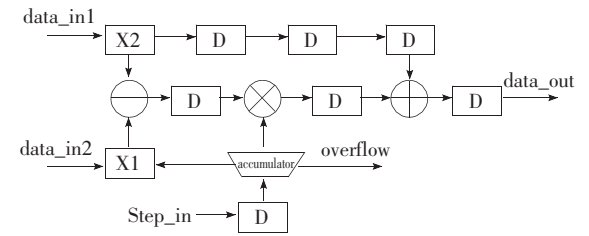


图 5 垂直缩放电路图

Fig. 5 Vertical scaling circuit diagram

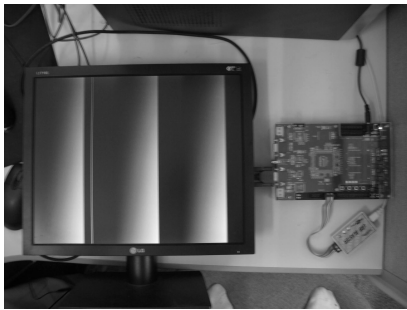


图 6 FPGA 灰度图像静态验证结果

Fig. 6 FPGA verification result of static gray image



图 7 RGB 彩色图像动态验证结果

Fig.7 FPGA verification result of RGB dynamic Video

证中,将计算机显卡产生的动态 VGA 图像数据流接到实验板的 RGBin 中,经过 AD9880 采集有效数据进入图像缩放引擎进行缩放,再输出到液晶显示器上,为了不受液晶显示器内部缩放模块的影响,

将液晶显示器的分辨率调到最高 $1\,280 \times 1\,024$ 。

从图 6 和图 7 液晶显示器的显示效果可以看到,采用水平方向三次卷积插值、垂直方向线性插值算法的图像缩放引擎在 FPGA 平台上是切实可行的,并且在大量减少乘法器的同时取得了较好的显示效果。

5 结 论

双三次插值法能得到比较好的效果,但是其硬件结构复杂。本文从降低硬件复杂程度出发,提出了行列采用不同的插值算法,通过垂直缩放算法的改进,减少了乘法器的应用,降低了资源的占用。最终搭建了 FPGA 验证平台,图像缩放效果比采用双线性算法的主流芯片显示效果要好,达到了预期的目的。

参 考 文 献:

- [1] Kim Hee-Chul, Kwon Byong-Heon, Choi Myung-Ryul. An image interpolator with image improvement for LCD controller [J]. *IEEE Transactions on Consumer Electronics*, 2001, 47(2): 267-271.
- [2] Li Xin, Orchard M T. New rdge- directed interpolation [J]. *IEEE Transactions on Image Processing*, 2001, 10(10): 1521-1527.
- [3] Darwish A M, Bedair M S, Shaheen S I. Adaptive resampling algorithm for image zooming [J]. *IEEE Proceedings-Visoin Image&Signal Processing*, 1997, 144(4): 207-212.
- [4] 林媛. 图像缩放算法研究及其 FPGA 实现[D]. 厦门: 厦门大学硕士学位论文, 2006.
- [5] Lehmann T M, Gonner C, Spitzer K, et al. Survey: Interpolation methods in medical image processing [J]. *IEEE Transactions on Medical Imaging*, 1999, 18(11): 1049-1075.
- [6] 罗菊华, 杨传仁, 张继华, 等. 基于 FPGA 的平板显示器件驱动电路的设计 [J]. *液晶与显示*, 2006, 21(6): 680-685.
- [7] 何汶静, 黄子强, 卢亚雄. 基于 FPGA 的数值计算在实时图像处理中的应用 [J]. *液晶与显示*, 2007, 22(4): 481-497.
- [8] Keys R G. Cubic convolution interpolation for digital image processing [J]. *IEEE Transactions on Acoustics, Speech, and Signal Processing*, 1981, 29(6): 1153-1160.
- [9] 龙燕, 李剑峰, 曹科峰, 等. 以 FPGA 为核心的液晶显示电路设计与实现 [J]. *液晶与显示*, 2006, 21(3): 274-278.
- [10] 费民权. 液晶电视技术的发展现状分析 [J]. *液晶与显示*, 2003, 18(3): 379-387.

《液晶与显示》编辑部